



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0050837  
Application Number

출원 년 월 일 : 2002년 08월 27일  
Date of Application AUG 27, 2002

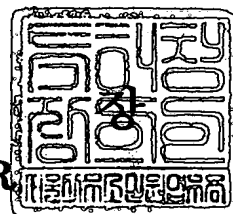
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 05 월 26 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.27
【발명의 명칭】	액정표시장치용 어레이기판과 그 제조방법
【발명의 영문명칭】	The substrate for LCD and method for fabricating the same
【출원인】	
【명칭】	엘지 .필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	김진태
【성명의 영문표기】	KIM, JIN TAE
【주민등록번호】	700716-1783811
【우편번호】	730-756
【주소】	경상북도 구미시 구포동 성원아파트 104-503
【국적】	KR
【발명자】	
【성명의 국문표기】	신철상
【성명의 영문표기】	SHIN, CHUL SANG
【주민등록번호】	710123-1411919
【우편번호】	330-941
【주소】	충청남도 천안시 신부동 221번지 7/1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정원기 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 10 면 10,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 13 항 525,000 원

【합계】 564,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 액정표시장치에 관한 것으로 특히, 박막트랜지스터의 드레인 전극이 단선되는 것을 방지하여 점 결함(point defect)을 최소화한 박막트랜지스터 어레이기판과 그 제조방법에 관한 것이다.

본 발명에 따른 박막트랜지스터는 소스 전극을 "U"형상으로 구성하고, 상기 소스 전극의 안으로 상기 소스 전극과 일정하게 이격 되도록 드레인 전극을 구성함에 있어서, 소스 및 드레인 전극의 하부에 위치하고 이들 두 전극과 겹쳐지는 액티브층을 형성할 때, 액티브층은 게이트 전극 상부에서 드레인 전극의 하부로 꺾여 들어가는 연장부의 폭이 드레인 전극의 폭보다 작도록 구성한다.

이와 같이 하면, 상기 드레인 전극이 액티브층의 연장부를 모두 덮도록 구성된다.

따라서, 액티브층의 단차에 의해 상기 소스 전극과 드레인 전극을 패터닝한 잔류 약액이 상기 액티브층의 상부에 위치하는 드레인 전극을 식각할 수 없도록 하기 때문에, 드레인 전극의 단선이 발생하지 않아 박막트랜지스터의 동작 불량에 의한 점결함을 최소화 할 수 있다.

**【대표도】**

도 7

## 【명세서】

## 【발명의 명칭】

액정표시장치용 어레이기판과 그 제조방법{The substrate for LCD and method for fabricating the same}

## 【도면의 간단한 설명】

도 1은 액정표시패널을 개략적으로 도시한 도면이고,

도 2는 종래의 액정표시장치용 어레이기판의 일부를 도시한 확대 평면도이고,

도 3은 도 2의 A를 확대한 평면도이고,

도 4a 내지 도 4c와 도 5a 내지 도 5c는 도 2의 II-II'와 도 3의 III-III'를 따라 절단하여 종래의 공정 순서에 따라 도시한 공정 단면도이고,

도 6은 본발명에 따른 액정표시장치용 어레이기판의 일부를 도시한 개략적인 평면도이고,

도 7은 도 6의 D를 확대한 평면도이고,

도 8a 내지 도 8c와 도 9a 내지 도 9c는 도 6의 VI-VI'와 도 7의 VII-VII'를 따라 절단하여 본 발명의 공정순서에 따라 도시한 공정 단면도이다.

## &lt;도면의 주요부분에 대한 간단한 설명&gt;

102 : 게이트 전극

108 : 반도체층

110b : 반도체층의 제 1 연장부

114 : 소스 전극

## 116 : 드레인 전극

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 액정표시장치(LCD)용 어레이기판에 관한 것으로 특히, 박막트랜지스터의 불량에 의한 점 결함 발생을 최소화한 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.
- <13> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.
- <14> 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <15> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상을 표현하게 된다.
- <16> 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(상부기판)과 화소전극이 형성된 어레이기판(하부기판)과, 상부 및 하부기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

- <17> 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <18> 이하, 도 1을 참조하여 일반적인 액정표시장치의 구성을 개략적으로 설명한다.
- <19> 도 1은 액정표시장치를 개략적으로 도시한 도면이다.
- <20> 도시한 바와 같이, 액정패널은 액정층(11)을 사이에 두고 서로 이격하여 구성된 제 1 기판(5)과 제 2 기판(10)으로 구성되며, 상기 제 2 기판(10)과 마주보는 제 1 기판(5)의 일면에는 블랙매트릭스(6)와 서브컬러필터(적, 녹, 청)(7)를 포함한 컬러필터(8)와, 컬러필터 상에 투명한 공통전극(9)이 구성된다.
- <21> 상기 제 1 기판(5)과 마주보는 제 2 기판(10)에는 다수의 화소영역(P)이 정의되며, 상기 화소영역(P)의 일 측을 지나 연장 형성된 게이트 배선(14)과, 게이트 배선(14)이 지나가는 화소영역(P)의 일측과 평행하지 않은 타측을 지나 연장 형성된 데이터 배선(26)이 구성된다.
- <22> 이러한 구성으로 인해, 상기 화소영역(P)은 상기 게이트배선(14)과 데이터배선(26)이 교차하여 정의되는 영역이 되며, 두 배선의 교차지점에는 박막트랜지스터(T)가 구성된다.
- <23> 상기 화소영역(P)에는 상기 박막트랜지스터(T)와 접촉하는 투명한 화소전극(32)이 구성되고 이는 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명도전성 금속으로 형성한다.

- <24>        전술한 구성에서, 상기 박막트랜지스터(T)의 동작은 액정패널에 중요한 영향을 미치며 특히, 박막트랜지스터의 동작을 개선하는 한 예로 액티브 채널의 길이를 짧게 하고, 채널의 너비를 크게 하기 위한 여러 방법이 제안된 바 있다.
- <25>        이하, 도 2와 3을 참조하여, 상기 전술한 바와 같은 액티브 채널을 구성하기 위해 소스 및 드레인 전극의 형상을 변형한 예를 설명한다.
- <26>        도 2는 변형된 형상의 소스 및 드레인 전극을 포함하는 박막트랜지스터가 구성된 액정표시장치용 어레이기판을 도시한 평면도이고, 도 3은 도 2의 A를 확대한 평면도이다.
- <27>        도시한 바와 같이, 기판(10)상에 일 방향으로 평행하게 이격된 다수의 게이트 배선(14)이 구성되고, 상기 게이트 배선(14)과 수직하게 교차하여 다수의 화소영역(P)을 정의하는 데이터 배선(26)이 구성된다.
- <28>        상기 두 배선(14,26)이 교차하는 부분에는 박막트랜지스터(T)가 위치하며, 이는 상기 게이트 배선(14)과 연결된 게이트 전극(12)과, 게이트 전극(12)의 상부구성된 반도체층(18)과, 반도체층(18)의 상부에 구성되는 동시에 상기 데이터 배선(26)과 연결된 소스 전극(22)과 이와는 소정간격 이격된 드레인 전극(24)을 포함한다.
- <29>        상기 화소영역(P)에는 상기 드레인 전극(24)과 접촉하는 투명 화소전극(32)이 구성된다.
- <30>        상기 드레인 전극(24)과 소스 전극(22)은 게이트 전극(12)의 상부에서 서로 소정간격 이격하여 구성되며 이때, 상기 소스 전극(22)은 데이터 배선(26)에서 게이트 전극



(12)의 상부로 "U" 형상으로 연장되고, 상기 드레인 전극(24)은 소스 전극(22)의 내부에서 이와는 일정한 이격 거리를 유지하도록 구성된다.

<31> 드레인 전극(24)의 구성은 실제로 상기 소스 전극(11) 내부에서 막대형상으로 구성되며, 상기 게이트 전극(12)의 일 측을 지나 화소 영역(P)으로 연장된 부분 중 상기 화소전극(32)과 접촉하는 부분은 넓은 면적으로 구성된다.

<32> 이러한 구성은 상기 소스 및 드레인 전극(22,24) 사이의 액티브 채널(CH)의 길이(L)를 짧게 하는 동시에 폭(W)을 크게 하는 효과가 있으므로 캐리어의 흐름이 원활한 장점을 가진다.

<33> 상기 반도체층(18)은 상기 게이트 전극(12) 상부 이외에도 소스 전극(22)을 거쳐 데이터 배선(26)의 하부로 연장된 제 2 연장부(20a)와 상기 드레인 전극(24)의 하부로 연장된 제 1 연장부(20b)를 가진다.

<34> 상기 제 1 연장부(20b)는 상기 게이트 전극(12)의 일 측을 지나서 급격히 좁아져 드레인 전극(24)의 하부로 연장되는 형상으로 구성되어 진다.

<35> 따라서, 이 부분(B)은 게이트 전극(12)의 일측은 지난 영역에서 상기 드레인 전극(24)의 양측으로 반도체층의 제 1 연장부(20b)가 노출되는 부분이며, 이러한 형상에 의해 이 부분(B)에서 상기 소스 및 드레인 전극(22,24)을 패터닝하는 공정에서 사용된 약액에 의해 드레인 전극(24)이 오픈되는 불량 발생 수 있다.

<36> 이하, 도 4a 내지 도 4c의 공정 단면도와 도 5a 내지 도 5c의 공정 단면도를 참조하여, 상기 드레인 전극의 오픈 불량 발생원인에 대해 상세히 설명한다.

- <37> 먼저, 4a와 도 5a에 도시한 바와 같이, 기판(10)상에 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등의 단일 금속이나 알루미늄(Al)/크롬(Cr)(또는 몰리브덴(Mo))등의 이중 금속층 구조인 게이트전극(12)과, 게이트전극(12)과 연결된 게이트배선(14)을 형성한다.
- <38> 게이트 전극(12)과 게이트 배선(14)을 형성하는 물질은 액정표시장치의 동작에 중요하기 때문에 RC 딜레이(delay)를 작게 하기 위하여 저항이 작은 알루미늄(Al)이 주류를 이루고 있으나, 순수 알루미늄은 화학적으로 내식성이 약하고, 후속의 고온 공정에서 힐락(hillock)형성에 의한 배선 결함문제를 야기하므로, 알루미늄 배선의 경우는 전술한 바와 같이 합금의 형태로 쓰이거나 적층 구조가 적용될 수 있다.
- <39> 다음으로, 상기 게이트 배선(14)등이 형성된 기판(10)상에 질화 실리콘( $\text{SiN}_x$ )과 산화 실리콘( $\text{SiO}_2$ )등이 포함된 무기절연물질 또는 경우에 따라서는 벤조사이클로 부텐(BCB)과 아크릴(Acryl)계 수지(resin)등이 포함된 유기절연물질 중 하나를 증착 또는 도포하여 게이트 절연막(16)을 형성한다.
- <40> 다음으로, 상기 게이트전극(12)상부의 게이트 절연막(16)상에 아몰퍼스 실리콘으로 형성한 액티브층(18a)(active layer)과 불순물이 포함된 아몰퍼스 실리콘으로 형성한 오믹 콘택층(18b)(ohmic contact layer)이 평면적으로 겹쳐 형성된 반도체층(18)을 형성한다.
- <41> 상기 반도체층(18)은 이후 공정에서 형성되는 데이터 배선의 하부로 연장된 제 2 연장부(20a)와 드레인 전극의 하부로 연장된 제 1 연장부(20b)를 가진다.

- <42> 다음으로, 도 4b와 도 5b에 도시한 바와 같이, 상기 오믹 콘택층(18b)상부에 전술한 바와 같은 도전성 금속물질 중 선택된 하나를 증착하고 패터ন하여, 소스 전극(22)과 드레인 전극(24)과, 상기 소스전극(22)과 수직하여 연장된 데이터배선(26)을 형성한다.
- <43> 상기 데이터 배선(26)은 게이트 배선(14)과 수직하게 교차하여 화소영역(P)을 정의하며, 상기 반도체층(18)의 제 2 연장부(20a)와 평면적으로 겹쳐지도록 구성하고, 상기 소스 전극(22)은 데이터 배선(26)에서 게이트 전극(12)의 상부의 오믹 콘택층(18a) 상에 "U" 형상으로 연장 형성한다.
- <44> 상기 드레인 전극(24)은 상기 소스 전극(22)의 안쪽에서 소스 전극(22)과 소정간격 이격하여 막대 형상으로 구성되는 동시에 상기 반도체층의 제 1 연장부(20b)와 평면적으로 겹쳐 구성한다.
- <45> 이때, 상기 반도체층의 제 1 연장부(20b)는 게이트 전극(12)의 일 측을 지나 드레인 전극(24)의 하부로 연장되면서 그 폭(W)이 급격히 좁아지는 형상(도 5b를 참조)이 되고, 이와 같이 급격히 좁아지는 부분(B)에서 상기 드레인 전극(24)의 양측으로 반도체층의 제 1 연장부(20b)가 노출되는 형상이다.
- <46> 즉, 상기 제 1 연장부(20b)가 노출되는 부분은 다른 부분(예를 들면 도 4b의 c부분)과는 달리 반도체층의 상부에 금속패턴이 구성되는 형상이다.
- <47> 이러한 형상은 소스 및 드레인 전극(22,24)을 패터ン한 후에 아직 제거되지 않고 잔류하는 약액에 의해 드레인 전극(24)의 일부가 오픈 되는 불량이 발생하게 된다.

- <48> 반면, 도 4b의 c부분은 반도체층의 제 2 연장부(20a)가 단차로 작용하여 약 액의 흐름을 막기 때문에 제 2 연장부(20a)의 상부에 구성된 데이터 배선(26)은 약액이 영향을 미치지 못하게 된다. 따라서, 이러한 부분에서는 오픈 불량이 거의 발생하지 않는다.
- <49> 다음으로, 도 4c와 도 5c에 도시한 바와 같이, 상기 소스 및 드레인 전극(22,24)을 형성한 후 노출된 오믹 콘택층(18b)을 제거하는 공정을 진행한다.
- <50> 연속하여, 상기 소스 및 드레인 전극(22,24)이 형성된 기판(10)의 전면에 질화 실리콘( $\text{SiN}_x$ ) 또는 산화 실리콘( $\text{SiO}_2$ )을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하거나 경우에 따라서, 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(28)을 형성한다.
- <51> 연속하여, 상기 보호막(28)을 패터닝하여, 드레인 전극(24)의 일부를 노출하는 드레인 콘택홀(30)을 형성한 후, 노출된 드레인 전극과 접촉하는 투명한 화소전극(32)을 화소영역(P)에 형성한다.
- <52> 상기 투명한 화소전극(32)은 일반적으로 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나로 형성된다.
- <53> 전술한 공정을 통해 종래에 따른 액정표시장치용 어레이기판을 제작할 수 있다.
- 【발명이 이루고자 하는 기술적 과제】**
- <54> 전술한 바와 같은 종래의 액정표시장치는 앞서 공정 중 설명한 바와 같이, 드레인 전극의 오픈 불량에 의한 점 결함의 발생확률이 매우 높은 문제가 있다.

- <55> 본 발명은 전술한 바와 같은 드레인 전극의 오픈 불량을 해결하기 위한 목적으로 제안된 것으로, 상기 반도체층의 제 1 연장부를 구성할 때, 상기 게이트 전극 상부에서 그 폭이 좁아져 드레인 전극의 하부로 연장되도록 한다.
- <56> 이와 같이 하면, 상기 게이트 전극을 벗어난 부분에서 상기 드레인 전극이 반도체층의 제 1 연장부를 완전히 덮는 형상이 되므로, 반도체층의 단차로 인해 약액이 드레인 전극을 식각하는 것을 막을 수 있다.
- <57> 따라서, 박막트랜지스터의 점결함을 최소화 할 수 있으므로 제품의 수율을 개선할 수 있다.

#### 【발명의 구성 및 작용】

- <58> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 절연기판과; 상기 절연기판 상에 서로 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 구성되고, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터에 있어서, 상기 데이터 배선에서 게이트 전극 상부로 구성된 소스 전극과, 소스 전극과 일정한 간격 유지하면서 구성된 드레인 전극과, 상기 게이트 전극의 단부에서 상기 드레인 전극의 하부로 드레인 전극보다 작은 폭으로 연장 형성된 제 1 연장부를 가지는 반도체층을 포함하는 박막트랜지스터와; 상기 드레인 전극과 접촉하는 동시에 화소영역에 위치하는 투명 화소전극을 포함한다.

- <59>       상기 소스 전극은 "U"자 형상으로 구성되고, 상기 드레인 전극은 소스전극의 내부에서 소스 전극과 일정한 간격을 유지하면서 구성된다.
- <60>       상기 반도체층은 상기 게이트 전극의 상부에서 상기 데이터 배선의 하부로 연장된 제 2 연장부를 더욱 포함한다.
- <61>       상기 반도체층은 비정질 실리콘(a-Si:H)으로 형성한 액티브층과, 불순물이 함유된 비정질 실리콘(n+a-Si:H)을 적층하여 구성한다.
- <62>       상기 반도체층에서 연장된 제 1 연장부는 상기 게이트 전극의 상부에서 그 폭이 급격히 좁아져 상기 드레인 전극의 하부로 연장되는 것을 특징으로 한다.
- <63>       이때, 상기 드레인 전극의 하부로 연장된 반도체층의 제 1 연장부의 폭은  $2.8\mu\text{m}$  ~  $3.4\mu\text{m}$ 의 범위로 설계되고, 상기 제 1 연장부를 덮는 드레인 전극의 폭은  $4.5\mu\text{m}$  ~  $5.6\mu\text{m}$ 의 범위로 설계된다.
- <64>       본 발명의 특징에 따른 액정표시장치용 어레이기판의 제조방법은 절연기판 상에서 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터를 형성함에 있어서,
- <65>       상기 데이터 배선에서 게이트 전극 상부로 형성된 소스 전극과, 소스 전극과 일정한 간격을 유지하도록 형성된 드레인 전극과, 상기 게이트 전극의 단부에서 상기 드레인 전극의 하부로 드레인 전극보다 작은 폭으로 연장 형성된 제 1 연장부를 가지는 반도체층을 포함하는 박막트랜지스터를 형성하는 단계와; 상기 드레인 전극과 접촉하는 동시에 화소영역에 위치하는 투명 화소전극을 형성하는 단계를 포함한다.

- <66> 이때, 상기 소스 전극은 "U"자 형상으로 형성되고, 상기 드레인 전극은 소스전극의 내부에서 소스 전극과 일정한 간격을 유지하도록 형성한다.
- <67> 상기 반도체층은 상기 게이트 전극의 상부에서 상기 데이터 배선의 하부로 연장된 제 2 연장부를 형성하는 단계를 더욱 포함한다.
- <68> 상기 반도체층에서 연장된 제 1 연장부는 상기 게이트 전극의 상부에서 그 폭이 급격히 좁아져 상기 드레인 전극의 하부로 연장되는 것을 특징으로 한다.
- <69> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.
- <70> -- 실시예 --
- <71> 도 6은 본 발명에 따른 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이고, 도 7은 도 6의 D를 확대한 평면도이다.
- <72> 도시한 바와 같이, 기판(100)상에 일 방향으로 평행하게 이격된 다수의 게이트 배선(104)을 구성하고, 상기 게이트 배선(104)과 수직하게 교차하여 다수의 화소 영역(P)을 정의하는 데이터 배선(118)을 구성한다.
- <73> 상기 두 배선(104,116)이 교차하는 부분에는 박막트랜지스터(T)를 구성하는데, 이는 상기 게이트 배선(104)과 연결된 게이트 전극(102)과, 게이트 전극(102)의 상부에 구성된 반도체층(108)과, 반도체층(108)의 상부에 구성되면서 상기 데이터 배선(116)과 연결된 소스 전극(112)과 이와는 소정간격 이격된 드레인 전극(114)을 포함한다.
- <74> 상기 드레인 전극(114)과 접촉하는 투명 화소전극(124)을 화소영역(P)에 구성한다.
- <75> 이때, 상기 드레인 전극(114)과 소스 전극(112)은 상기 게이트 전극(102)의 상부에서 소정간격 이격하여 구성한다.

- <76> 상세히 설명하면, 상기 소스 전극(112)은 데이터 배선(116)에서 우측으로 기울어진 "U" 형상으로 연장하여 형성하고, 상기 드레인 전극(114)은 상기 소스 전극(112)의 내부에서 이와는 일정한 이격 거리를 유지하도록 형성한다.
- <77> 이러한 형상은 상기 소스 및 드레인 전극(112,114) 사이의 액티브 채널(L)의 길이를 짧게 하는 동시에 폭(W)을 크게 하는 효과가 있으므로 캐리어의 흐름이 원활한 장점을 가진다.
- <78> 상기 반도체층(108)은 상기 게이트 전극(102) 상부 이외에도 소스 전극(112)을 거쳐 데이터 배선(116)의 하부로 연장된 제 2 연장부(110a)와 상기 드레인 전극(114)의 하부로 연장된 제 1 연장부(110b)를 가진다.
- <79> 이와 같이, 데이터 배선(116)과 드레인 전극(114)의 하부에 반도체층을 형성하는 이유는 상기 데이터 배선(116)과 드레인 전극(114)의 접촉특성을 개선하기 위함이다.
- <80> 이때, 상기 제 1 연장부(110b)는 드레인 전극(114)의 하부로 연장되면서 급격히 폭이 좁아지는데, 이 부분이 게이트 전극(102)의 상부에서 이루어지도록 한다.
- <81> 이와 같이 하면, 종래와는 달리 게이트 전극(102)을 벗어난 부분(E)에서 상기 드레인 전극(114)이 하부의 제 1 연장부(110b)를 감싸는 형상이 되기 때문에, 식각액이 제 1 연장부(110b)의 단차로 인해 제 1 연장부(110b)의 상부에 구성된 드레인 전극(114)을 오픈하는 불량을 방지할 수 있다.
- <82> 이때, 드레인 전극(114)의 가로 폭은 약  $4.5\mu\text{m} \sim 5.6\mu\text{m}$ 의 범위를 가지도록 설계하고, 이러한 범위로 설계된 드레인 전극(114)의 하부에 구성된 제 1 연장부(110b)는  $2.8 \sim 3.4$  범위내에서 설계한다.



<83> 이하, 도 8a 내지 도 8c와 도 9a 내지 도 9c의 공정을 참조하여, 본 발명에 따른 액정표시장치용 어레이기판의 제조공정을 설명한다.

<84> 이하, 도 8a 내지 도 8c와 도 9a 내지 도 9c는 도 6의 VI-VI'와 도 7의 VII-VII'을 따라 절단하여, 본 발명의 공정 순서에 따라 도시한 공정 단면도이다.

<85> 먼저 도 8a 와 도 9a에 도시한 바와 같이, 기판(100)상에 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등의 단일 금속이나 알루미늄(Al)/크롬(Cr)(또는 몰리브덴(Mo))등의 이중 금속층 구조인 게이트전극(102)과, 게이트전극(102)과 연결된 게이트배선(104)을 형성한다.

<86> 게이트 전극(102)과 게이트 배선(104)을 형성하는 물질은 액정표시장치의 동작에 중요하기 때문에 RC 딜레이(delay)를 작게 하기 위하여 저항이 작은 알루미늄이 주류를 이루고 있으나, 순수 알루미늄은 화학적으로 내식성이 약하고, 후속의 고온 공정에서 힐락(hillock)형성에 의한 배선 결함문제를 야기하므로, 알루미늄 배선의 경우는 전술한 바와 같이 합금의 형태로 쓰이거나 적층 구조가 적용될 수 있다.

<87> 다음으로, 상기 게이트배선(104)등이 형성된 기판(100)상에 질화 실리콘( $\text{SiN}_x$ )과 산화 실리콘( $\text{SiO}_2$ )등이 포함된 무기절연물질 또는 경우에 따라서는 벤조사이클로 부텐(BCB)과 아크릴(Acryl)계 수지(resin)등이 포함된 유기절연물질 중 하나를 증착 또는 도포하여 게이트 절연막(106)을 형성한다.

<88> 다음으로, 상기 게이트전극(102)상부의 게이트 절연막(106)상에 아몰퍼스 실리콘으로 형성한 액티브층(108a)(active layer)과 불순물이 포함된 아몰퍼스 실리콘으로 형성

한 오믹 콘택층(108b)(ohmic contact layer)이 평면적으로 겹쳐 형성된 반도체층(108)을 형성한다.

<89>        동시에, 상기 반도체층(108)은 이후 공정에서 형성되는 데이터 배선의 하부로 연장된 제 2 연장부(110a)와 드레인 전극의 하부로 연장된 제 1 연장부(110b)를 가진다.

<90>        다음으로, 도 8b와 도 9b에 도시한 바와 같이, 상기 오믹콘택층(108b)상부에 전술한 바와 같은 도전성 금속물질 중 선택된 하나를 증착하고 패터하여, 소스 전극(112)과 드레인 전극(114)과, 상기 소스 전극(112)과 수직하여 연장된 데이터배선(116)을 형성한다.

<91>        상기 데이터 배선(116)은 게이트 배선(104)과 수직하게 교차하면서 상기 반도체층의 제 2 연장부(110a)와 평면적으로 겹쳐지도록 구성하고, 상기 소스 전극(112)은 데이터 배선(116)에서 오믹 콘택층(108b)의 상부로 "U" 형상으로 연장 형성한다.

<92>        상기 드레인 전극(114)은 상기 소스 전극(112)의 안쪽에서 소스 전극과 소정간격 이격 하여 막대 형상으로 구성하는 동시에 상기 반도체층의 제 1 연장부(110b)와 평면적으로 겹쳐지도록 한다.

<93>        이때, 상기 반도체층의 제 1 연장부(110b)는 상기 드레인 전극(114)의 하부로 연장되면서 그 폭이 좁아지는데 이 부분이 게이트 전극(102)의 상부에서 이루어지도록 한다.

<94>        이와 같이 하면, 상기 게이트 전극(102)을 벗어난 영역에서 상기 드레인 전극(114)이 반도체층의 제 1 연장부(110b)를 모두 덮는 형상(F)이 되므로 상기 제 2 연장부(110b)의 단차에 의해 상기 드레인 전극(114)이 오픈 되는 불량을 방지할 수 있다.

- <95> 다음으로, 도 8c와 도 9c에 도시한 바와 같이, 상기 소스 및 드레인 전극(112,114)과 데이터 배선(116)이 형성된 기판(100)의 전면에 질화 실리콘( $\text{SiN}_x$ ) 또는 산화 실리콘( $\text{SiO}_2$ )을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하거나 경우에 따라서, 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(120)을 형성한다.
- <96> 연속하여, 상기 보호막(120)을 패터닝하여 드레인 전극(114)의 일부를 노출하는 드레인 콘택홀(122)을 형성한 후, 노출된 드레인 전극(114)과 접촉하는 투명한 화소전극(124)을 화소영역(P)에 형성한다.
- <97> 상기 투명한 화소전극(124)은 일반적으로 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나로 형성한다.
- <98> 전술한 바와 같은 공정을 통해 본 발명에 따른 액정표시장치용 어레이기판을 제작할 수 있다.
- <99> 전술한 바와 같은 본 발명에 따른 박막트랜지스터의 형상은 그 구동 방식에 상관없이 모든 능동 매트릭스형 액정표시장치용 어레이기판에 적용 가능하다.

#### 【발명의 효과】

- <100> 따라서, 본 발명에 따른 액정표시장치용 어레이기판은 이에 구성된 박막트랜지스터의 드레인 전극이 단선 되는 불량을 방지하여 점 결함을 방지할 수 있는 효과가 있다.

<101> 또한, 어레이기판의 불량률을 낮출수 있기 때문에 제품의 수율을 개선하는 효과가 있다.

**【특허청구범위】****【청구항 1】**

절연기판과;

상기 절연기판 상에 서로 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 구성되고, 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터에 있어서,

상기 데이터 배선에서 게이트 전극 상부로 구성된 소스 전극과, 소스 전극과 일정한 간격 유지하면서 구성된 드레인 전극과, 상기 게이트 전극의 단부에서 상기 드레인 전극의 하부로 드레인 전극보다 작은 폭으로 연장 형성된 제 1 연장부를 가지는 반도체층을 포함하는 박막트랜지스터와;

상기 드레인 전극과 접촉하는 동시에 화소영역에 위치하는 투명 화소전극을 포함하는 액정표시장치용 어레이기판.

**【청구항 2】**

제 1 항에 있어서,

상기 소스 전극은 "U"자 형상으로 구성되고, 상기 드레인 전극은 소스전극의 내부에서 소스 전극과 일정한 간격을 유지하면서 구성된 액정표시장치용 어레이기판.

**【청구항 3】**

제 1 항에 있어서,

상기 반도체층은 상기 게이트 전극의 상부에서 상기 데이터 배선의 하부로 연장된 제 2 연장부를 더욱 포함하는 액정표시장치용 어레이기판.

**【청구항 4】**

제 1 항에 있어서,

상기 반도체층은 비정질 실리콘( $a\text{-Si:H}$ )으로 형성한 액티브층과, 불순물이 함유된 비정질 실리콘( $n+a\text{-Si:H}$ )을 적층하여 구성된 액정표시장치용 어레이기판.

**【청구항 5】**

제 1 항에 있어서,

상기 반도체층에서 연장된 제 1 연장부는 상기 게이트 전극의 상부에서 그 폭이 급격히 좁아져 상기 드레인 전극의 하부로 연장되는 액정표시장치용 어레이기판.

**【청구항 6】**

제 1 항에 있어서,

상기 드레인 전극의 하부로 연장된 반도체층의 제 1 연장부의 폭은  $2.8\mu\text{m} \sim 3.4\mu\text{m}$ 의 범위로 설계되고, 상기 제 1 연장부를 덮는 드레인 전극의 폭은  $4.5\mu\text{m} \sim 5.6\mu\text{m}$ 의 범위로 설계된 액정표시장치용 어레이기판.

#### 【청구항 7】

절연기판 상에 서로 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 게이트 전극과 반도체층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터를 형성함에 있어서,

상기 데이터 배선에서 게이트 전극 상부로 형성된 소스 전극과, 소스 전극과 일정한 간격을 유지하도록 형성된 드레인 전극과, 상기 게이트 전극의 단부에서 상기 드레인 전극의 하부로 드레인 전극보다 작은 폭으로 연장 형성된 제 1 연장부를 가지는 반도체층을 포함하는 박막트랜지스터를 형성하는 단계와;

상기 드레인 전극과 접촉하는 동시에 화소영역에 위치하는 투명 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

#### 【청구항 8】

제 7 항에 있어서,

상기 소스 전극은 "U"자 형상으로 형성되고, 상기 드레인 전극은 소스전극의 내부에서 소스 전극과 일정한 간격을 유지하도록 형성된 구성된 액정표시장치용 어레이기판 제조방법.

**【청구항 9】**

제 7 항에 있어서,

상기 반도체층은 상기 게이트 전극의 상부에서 상기 데이터 배선의 하부로 연장된 제 2 연장부를 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판.

**【청구항 10】**

제 7 항에 있어서,

상기 반도체층은 비정질 실리콘(a-Si:H)으로 형성한 액티브층과, 불순물이 함유된 비정질 실리콘(n+a-Si:H)을 적층하여 구성된 액정표시장치용 어레이기판 제조방법.

**【청구항 11】**

제 7 항에 있어서,

상기 반도체층에서 연장된 제 1 연장부는 상기 게이트 전극의 상부에서 그 폭이 급격히 좁아져 상기 드레인 전극의 하부로 연장되는 액정표시장치용 어레이기판.

**【청구항 12】**

제 7 항에 있어서,



상기 드레인 전극의 하부로 연장된 반도체층의 제 2 연장부의 폭은  $2.8\mu\text{m} \sim 3.4\mu\text{m}$ 의 범위로 설계되고, 상기 제 1 연장부를 덮는 드레인 전극의 폭은  $4.5\mu\text{m} \sim 5.6\mu\text{m}$ 의 범위로 설계된 액정표시장치용 어레이기판 제조방법.

### 【청구항 13】

기판 상에 일 방향으로 소정간격 이격하여 평행하게 구성된 다수의 게이트 배선과 이에 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 전극과 게이트 배선이 형성된 기판의 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 전극 상부의 게이트 절연막 상에 위치하고, 상기 게이트 배선과 수직하게 교차하는 제21 연장부와, 이와는 대칭되게 연장된 제 1 연장부를 가지는 반도체층을 형성하는 단계와;

상기 제 2 연장부와 평면적으로 겹쳐 구성되며 상기 게이트 배선과는 화소영역을 정의하는 데이터 배선과, 데이터 배선에서 게이트 전극의 상부로 "U"형상으로 연장된 소스 전극과, 소스 전극의 내부에서 이와는 소정간격 이격되고, 상기 게이트 전극의 일 측을 지나 연장된 부분이 상기 반도체층의 제 2 연장부를 모두 감싸도록 구성된 드레인 전극을 형성하는 단계와;

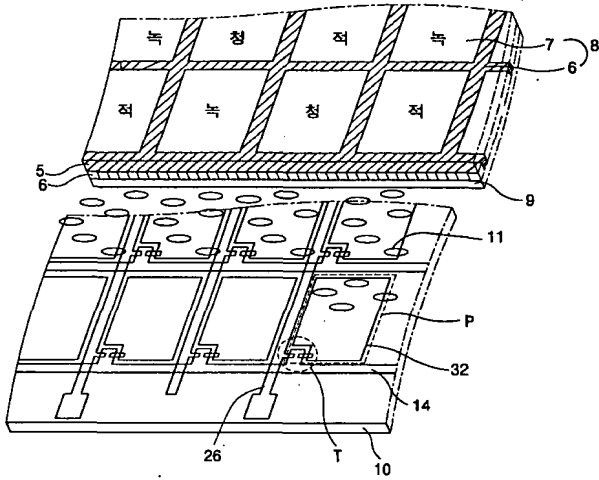
상기 데이터 배선과 소스 및 드레인 전극이 형성된 기판의 전면에 상기 드레인 전극의 일부를 노출하는 보호막을 형성하는 단계와;

상기 노출된 드레인 전극과 접촉하는 동시에 상기 화소영역에 위치하는 투명 화소 전극을 형성하는 단계

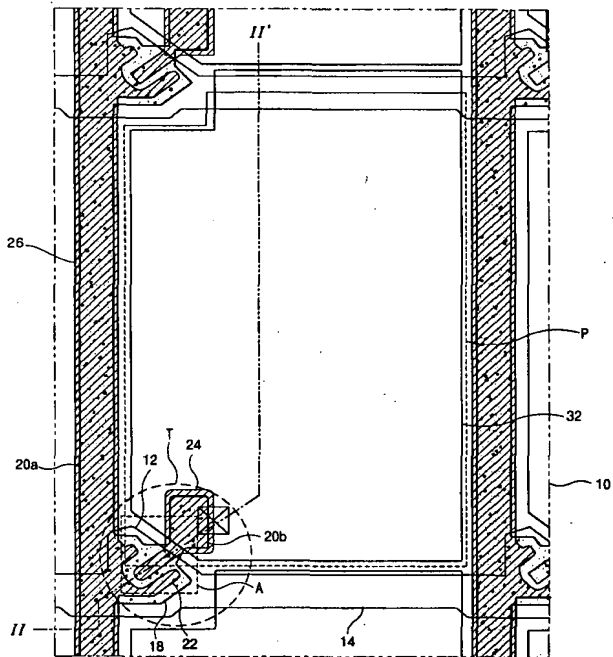
를 포함하는 액정표시장치용 어레이기판 제조방법.

【도면】

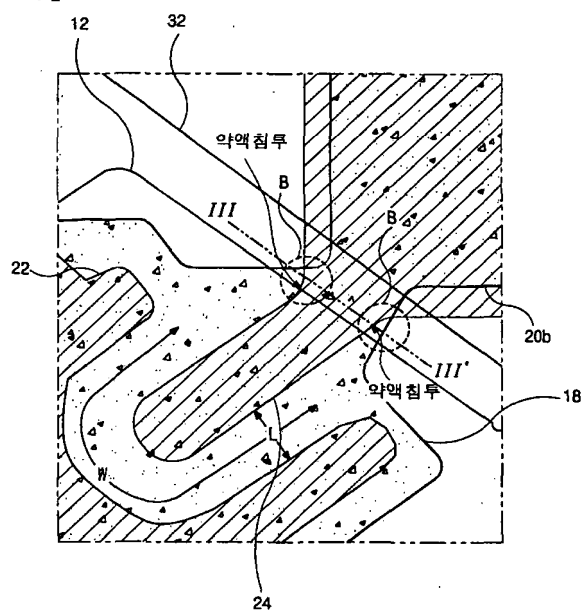
【도 1】



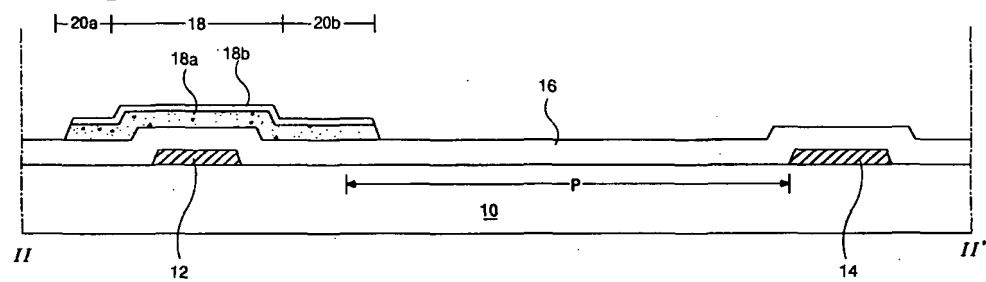
【도 2】



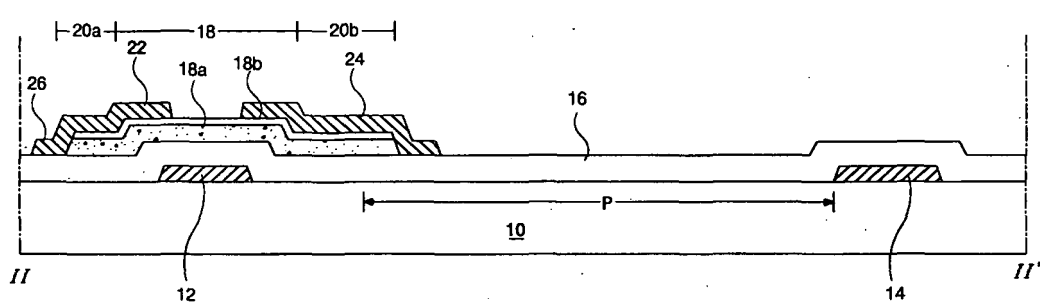
【도 3】



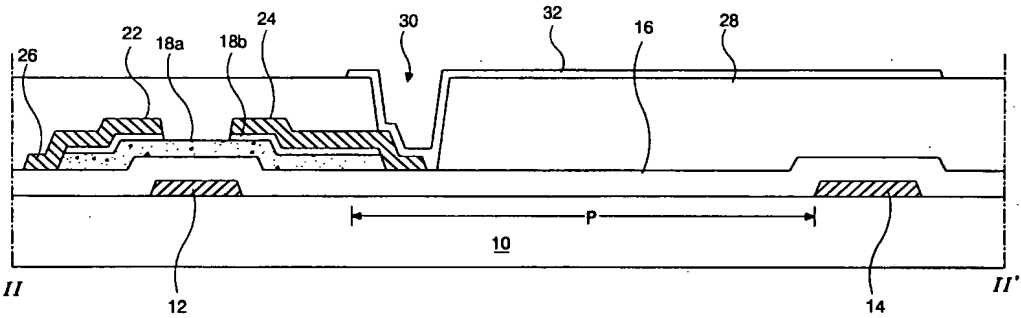
【도 4a】



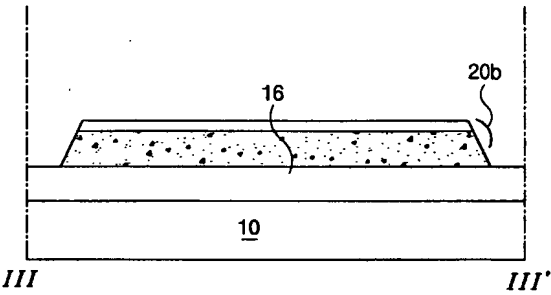
【도 4b】



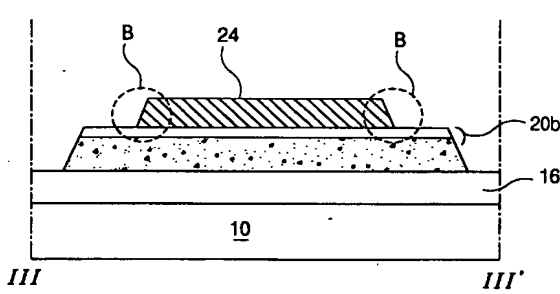
【도 4c】



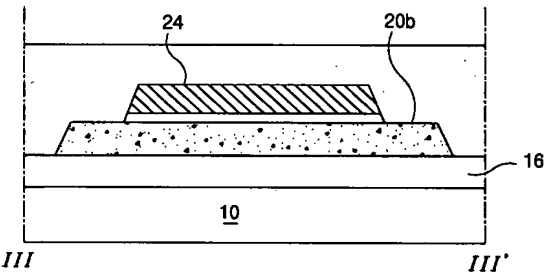
【도 5a】



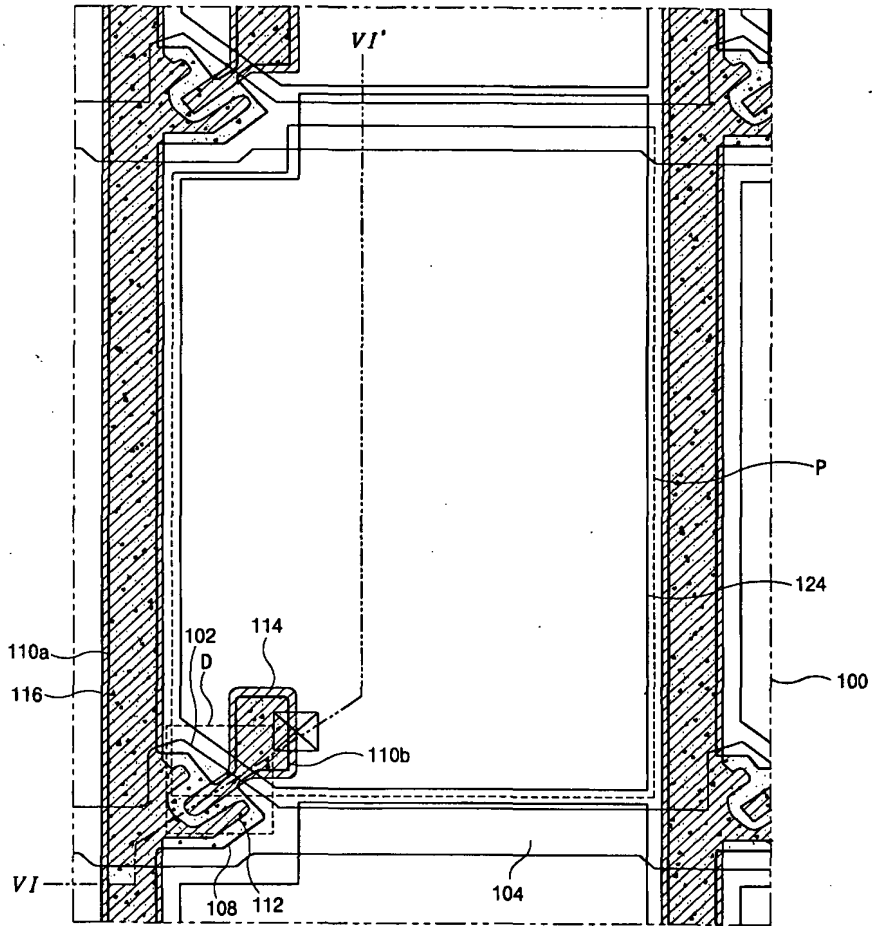
【도 5b】



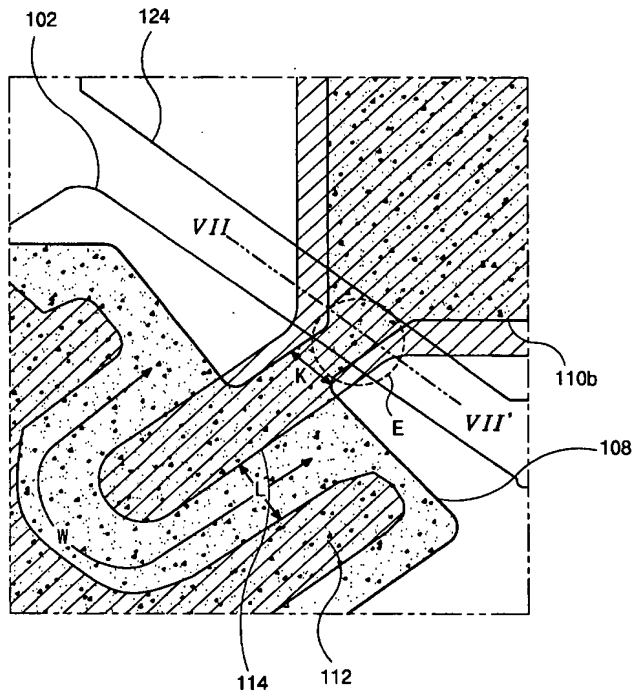
【도 5c】



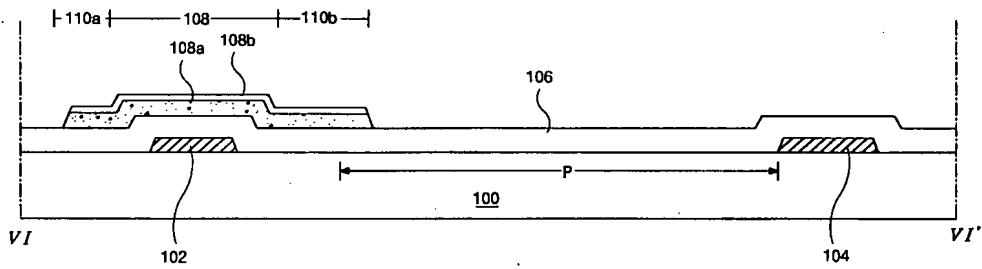
【도 6】



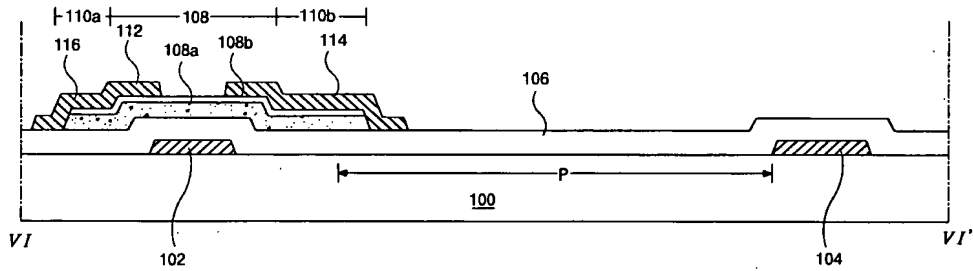
【도 7】



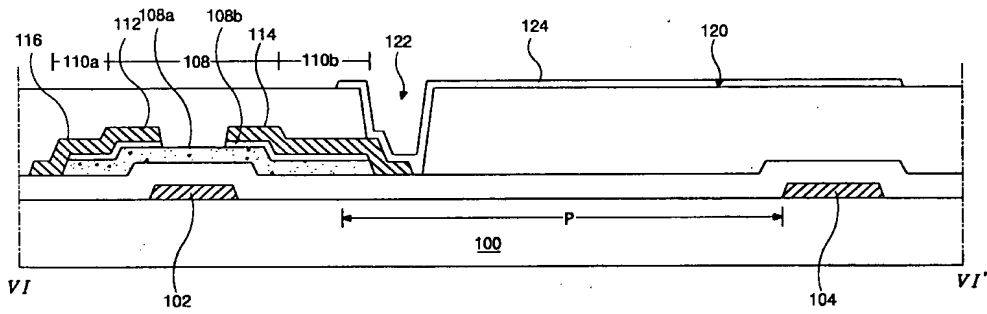
【도 8a】



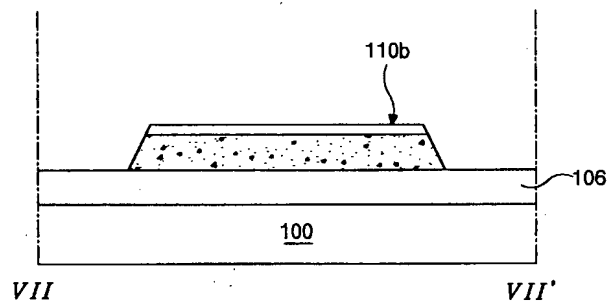
【도 8b】



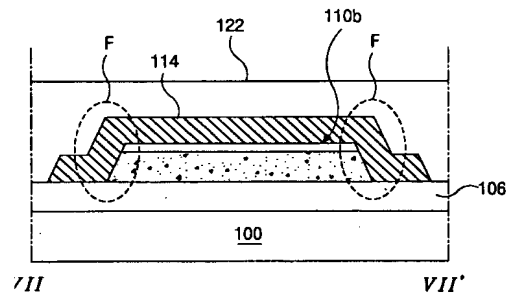
【도 8c】



【도 9a】



【도 9b】



【도 9c】

